

· 技术与方法 ·

基于 FPGA 和 USB2.0 的便携式心电监护仪设计

黄戎¹, 苏琼^{2△}, 何红梅³, 赵泰⁴

(1. 重庆工业职业技术学院自动化系, 重庆 401120; 2. 重庆医科大学附属第二医院保健科, 重庆 400010;
3. 重庆医科大学附属第二医院胃肠外科, 重庆 400010; 4. 重庆大学通信工程学院, 重庆 400030)

摘要:目的 探讨基于现场可编程门阵列(FPGA)和 USB2.0 的便携式心电监护仪设计。方法 结合 FPGA 技术和 USB2.0 接口技术,以 FPGA 为核心控制单元,前端采用多通道模数转换芯片采集三导联心电信号,后端采用 USB 2.0 与上位机通信。**结果** 本文设计了一款实用便携式心电监护仪,并能给出心电信号的实时监测结果。**结论** 该便携式心电监护仪具有一定的实用价值。

关键词:心电描记术,便携式;现场可编程门阵列;USB2.0;计算机系统

doi:10.3969/j.issn.1671-8348.2013.14.017

文献标识码:A

文章编号:1671-8348(2013)14-1611-03

Design of portable ECG monitor based on FPGA and USB2.0

Huang Rong¹, Su Qiong^{2△}, He Hongmei³, Zhao Tai⁴

(1. Department of Automation, Chongqing Industry Polytechnic College, Chongqing 401120, China;

2. Department of Health, Second Affiliated Hospital, Chongqing Medical University, Chongqing 400010, China;

3. Department of Gastrointestinal Surgery, Second Affiliated Hospital, Chongqing Medical University, Chongqing 400010, China; 4. Institute of Communications Engineering, Chongqing University, Chongqing 400030, China)

Abstract: Objective To discuss the portable ECG monitor design based on field programmable gate array (FPGA) and USB2.0. **Methods** The design combines with the technology of FPGA and USB2.0 interface, using FPGA as the central control unit. The front of the design adopts multi channel A/D conversion chip, transforming the three lead ECG signal. The end of the design adopts USB2.0, communicating with the host computer. **Results** A practical portable ECG monitor was designed and provided the real-time monitoring results of the ECG signals. **Conclusion** This portable ECG monitor has certain practical value.

Key words: electrocardiography, portable; field programable gate array; USB2.0; computer systems

传统心电监护设备的核心控制模块通常采用单片机,控制 A/D 模数转换、数据存储和其他外围电路的工作,通过串口或 PCI 等接口与上位机进行通信。未来心电监护仪的发展对心电信息采集的准确性、实时性和简易性的要求越来越高,传统心电监护设备的弊端愈加明显^[1]。

1 资料与方法

1.1 一般资料 随着现场可编程门阵列(field programable gate array, FPGA)和 USB2.0 技术的应用深度和广度的不断加大,采用 FPGA 芯片来替代传统设计上的单片机,降低开发成本的同时,也实现了系统的数字化、智能化和微型化;采用 USB2.0 接口与上位机通信,实现了心电监护设备的便携式高速采集;客户端应用程序采用微软基础类库(MFC)设计,显示内容丰富,操作界面友好,与 USB2.0 接口电路的配合,构成了强大的人机交互系统,更利于心电信号实时准确的监测。

1.2 方法 本设计综合考虑了心电监护仪对心电信号的测量精度、处理速度和便携性等方面的要求,采用了将 FPGA 技术和 USB 技术相结合设计思路。心电监护仪的核心控制单元采用 FPGA 芯片,与上位机通信接口采用 USB2.0 接口,实现心电信号的高精度便携式采集。心电监护仪的总体结构,见图 1,主要由心电信号调理电路、A/D 模数转换电路、FPGA 逻辑控制和 USB 驱动控制电路等若干部分组成。心电信号调理电路的主要作用是通过对心电信号放大、滤波和增加阻抗的处理方式来获取预期有效的心电信号^[2],同时保护后端 ADC 模

数转换芯片。FPGA 逻辑控制部分用于实现对多路模拟开关、ADC 模数转换和 USB2.0 驱动芯片的控制,并对接收的心电数据进行缓存。USB2.0 驱动芯片主要实现心电数据和控制命令的传输。上位机应用程序用于显示系统的运行状态,采用 Microsoft Visual C++ 6.0 软件平台设计开发。

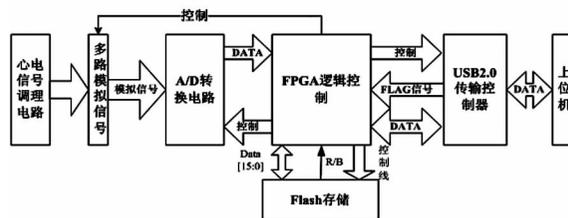


图 1 便携式心电监护仪总体结构框图

2 结果

2.1 实现心电信号调理电路设计 心电信号是微弱的生物电信号,需要对心电信号进行滤波去噪、信号放大等处理,本系统心电信号调理部分电路的设计主要包括屏蔽线驱动和右腿驱动电路,导联线输入缓冲电路,前置放大电路,导联快速切换电路,滤波电路,滤除工频干扰电路^[3],主放大器及电平抬升电路^[4],见图 2。本设计采用了三导联采集的方式,其前置放大电路采用三套相同的心电信号处理电路,然后心电信号经过三路模拟开关选通后,再通过带通滤波电路、陷波器电路和主放大器等电路的调理,最后信号进入 ADC 转换芯片,因此,心电

信号的滤波和滤除工频干扰电路可以使用一套电路来完成,进而系统能够完整的采集的微弱的心电信号。



图 2 心电信号调理电路框图

2.2 实现心电监护仪数字电路的设计

心电监护仪数字电路部分用于实现心电信号的模数转换、数据存储以及和上位机之间的通信传输控制^[5]。其采用 FPGA 作为整个心电监护仪的控制核心^[6],数字电路部分的原理图,见图 3。依据本设计需求,FPGA 芯片选用 Altera 公司的 Cyclone II FPGA 系列的 EP2C8Q208C8 芯片,该芯片内部包含 8 256 个逻辑单元,165 888 个 RAM 位,182 个可配置 I/O 接口,系统时钟频率大于 260 MHz,低功耗,工作电压只需要 3.3 V 和 1.2 V,完全满足本设计的设计需求。本设计存储器采用了 Samsung 公司的 K9F1G08U0M 芯片,该器件是基于 NAND 技术的 64M 16Bit 的 FLASH 存储器,工作电压为 2.7~3.6 V,共有 1 024 个相互隔离的 Blocks。NAND 型 FLASH 的读写控制采用命令、数据和地址复用的方式,即在 I015~I00 复用接口上依次出现命令、数据和地址。综合考虑心电监护仪对采样率、分辨率、采集通道等要求^[7],本设计 ADC 芯片选用美国德州仪器(TI)公司的 TLC2543 作为采集电路的核心器件。该器件是具有串行控制和 11 路模拟输入通道的 12 位分辨率的模数转换器,具有 3 种内置自检模式,具有可编程掉电模式,同时采用 CMOS 技术,不仅使比较器个数大大减少,而且在高速转换过程中也能保持较低的功耗。5 V 的正常 工作电压,在工作温度范围内 10 us 转换时间,模拟输入电压范围为 0~5 V,具有单、双极性输出操作,内置采样保持电路,内嵌运行通路输出,简化了外围电路的设计。

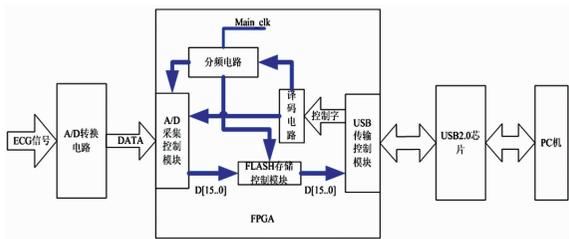


图 3 心电监护仪数字部分电路框图

2.2.1 FPGA 与 ADC 连接设计 本设计选用的 A/D 芯片 TLC2543 有 IOCLOCK、DATA、INPUT 和 EOC 4 个控制引脚,外部微处理器通过这些引脚来控制 A/D 芯片模数转换;外部时钟 fIOCLOCK=4MHz,REF-和 REF+是芯片的参考基准电压,REF- = 0 V,REF+ = VCC = 5 V。FPGA 与 TLC2543 硬件连接,见图 4。

2.2.2 FPGA 与 USB2.0 的连接设计 本设计选用了 Cypress 公司的 USB2.0 驱动控制器 EZ-USB FX2 CY7C68013-56,该芯片结构主要包括增强型 8051 微处理器、8.5KB 的片上 RAM、4KB 的 FIFO 存储器、数据总线、地址总线、I/O 接口、串行接口引擎(SIE)和通用可编程接口(GPIF)等,性价比较高,USB2.0 协议最大传输速率可以达到 480 Mb/s,同时向下兼容 USB1.0 协议,因此,该芯片是 USB2.0 传输的完整解决方

案^[8]。芯片 EZ-USB FX2LP 与外围电路的通信有从属 FIFO 模式和 GPIF 模式两种接口模式,本设计采用 FPGA 芯片作为主控制器,因此,USB2.0 芯片通信接口模式采用从属 FIFO 模式,FPGA 通过对 CY7C68013 芯片内 4K 的 FIFO 的控制实现与上位机之间的数据传输。FPGA 与 USB2.0 芯片的硬件连接,见图 5。图中,接口时钟 U_IFCLK 是由 USB 芯片内部生成 30 MHz 时钟,提供给 FPGA 控制器用于产生 U_SLRD 和 U_SLWR 信号;USB 端点 FIFO 的当前状态用 U_FLAGA 和 U_FLAGB 两个标识引脚反映;U_FIFOADR[1:0]用来选择和 FD 总线相连的端点 FIFO,用“00”表示端点 EP2,“01”表示端点 EP4,“10”表示端点 EP6,“11”表示端点 EP8;FD[15:0]代表 16 位双向数据总线;U_SLRD 是端点 FIFO 的读使能信号,U_SLWR 是端点 FIFO 的写使能信号。CY7C68013 连接的具体实现电路,见图 6。

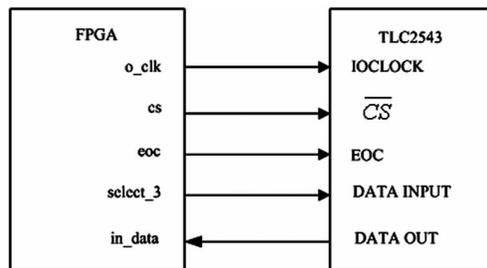


图 4 TLC2543 与 FPGA 的连接

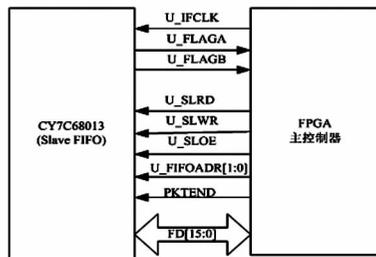
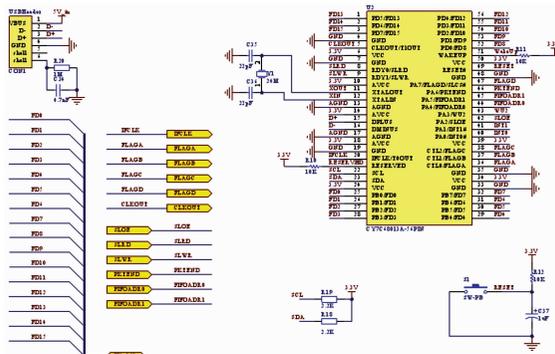


图 5 FPGA 与 USB2.0 芯片的硬件连接



取。TLC2543 芯片的时钟信号 4 MHz 就是由主时钟 3 分频得到^[9]。FPGA 通过控制 TLC2543 芯片的片选信号和时钟信号,就能完成对模数转换过程的控制。FPGA 的时序逻辑控制要做的十分精确,严格按照 TLC2543 的转换时序进行设计,才能确保接收到正确的转换数据。本设计设计了 ADC 采样控制模块(图 7),该模块实现了模数转换的控制、时钟分频和对数据的串并转换处理。采集到的 12 位串行数据通过串并转换处理,最终转换成 16 位并行数据输出,然后送到 FIFO 缓存模块中。本设计中,设置了采样控制时钟 f_{set} ,用于调整本系统的采样速率,设置了主时钟信号 m_clk ,采样复位时钟信号 i_Rst 和采集数据的串行输入信号 in_data 。输出端设计了用于 AD 采样控制的时钟信号 o_clk 、片选信号 cs 以及转换结束控制信号 eoc , $o_Para[15:0]$ 为并行数据输出端。ADC 采样控制模块的行为仿真图,见图 8。从仿真图可以看出 ADC 采样控制模块准确产生了时钟信号 o_clk 、片选信号 cs 以及 eoc 信号,并且 in_data 串行输入数据经过串并转换后能够准确的并行输出。

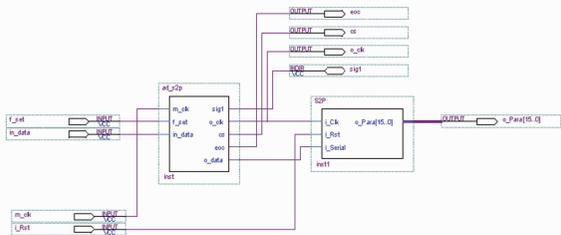


图 7 ADC 采样控制模块

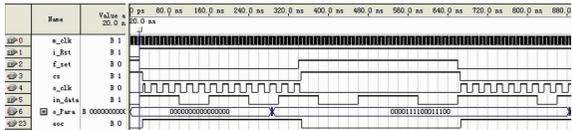


图 8 ADC 采样控制模块行为仿真图

2.3.2 USB2.0 传输控制模块 该模块用于控制 USB 芯片端点 FIFO 的读写。端点 FIFO 用于数据的缓存,一方面用于缓存 FPGA 输出的并行 16 位采集数据,另一方面用于缓存上位机发出的采集参数等控制信息。本设计采用异步从属 FIFO 模式。FPGA 芯片通过判断 USB 芯片端点 FIFO 的空、满标识位决定 USB 端点 2、4、6、8 的读、写操作。USB 发送数据时, FPGA 首先使能 $U_FIFOADR[1:0]$ 信号为“00”,选择 USB 端点 2 的 FIFO,然后对 USB 端点 2 的 FIFO 的空标识位进行判断,如果空标识位无效,则使能 U_SLOE 信号并激活 U_SLRD 信号,USB 芯片开始发送数据到 FPGA 中。USB 接收数据时,将使能 $U_FIFOADR[1:0]$ 信号为“10”,选通 USB 端点 6 的 FIFO,并判断其满标识位,如果满标识位无效,则使能 U_SLWR 信号, FPGA 开始向 USB 芯片写入数据。在 FPGA 模块设计中,该模块采用状态机实现,将 USB 端点 FIFO 的读、写过程分别分成五个状态,USB 芯片异步 FIFO 读状态机。当“写”事件发生时启动状态机,将状态从 IDLE 状态转向状态 1;状态 1 使能 $U_FIFOADR[1:0]$ 信号,选定 USB 输出端点 FIFO,转向状态 2;状态 2 使能 U_SLOE 信号,判断 USB 端点 FIFO 空标识位是否有效,无效时转向状态 3,有效时(即端点 FIFO 为空),状态保持不变;状态 3 使能 U_SLOE 信号并激活 U_SLRD 信号,将采集数据 $FD[15:0]$ 输出到 USB 数据总线上, U_SLRD 信号和 U_SLOE 信号转为无效后,指向状态 4;当

有更多的数据要求时,返回到状态 2,否则指向空闲状态 IDLE^[10]。见图 9。

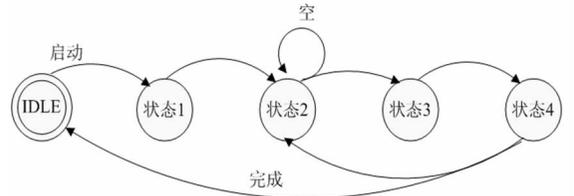


图 9 FPGA 异步读 FIFO 状态机

2.4 便携式心电监护仪软件设计

2.4.1 USB2.0 固件程序设计 本设计将数据通道分成命令字下传通道和采集数据上传通道两部分^[11]。配置端点 2 的 FIFO 为命令字下传通道,用于传输上位机命令字到 FPGA,采用块传输模式,512 字节,双重缓冲,16 位数据自动输出的模式。配置端点 6 的 FIFO 为采集数据上传通道,用于传送 FPGA 采集数据到上位机,采用块传输模式,512 字节,双重缓冲,16 位数据自动输入模式。Cypress 公司提供了 USB 外设的固件程序开发包,包含了一套完整的固件程序框架。本设计的 USB2.0 固件程序就是基于 USB 开发包的基本框架,采用模块化设计完成的^[12]。

2.4.2 USB2.0 设备驱动程序设计 USB2.0 设备驱动程序控制着上位机程序与 USB 设备请求以及数据接口的连接,Cypress 公司的 USB 芯片软件开发包提供了通用设备驱动程序和应用接口函数^[13]。本设计根据自己的需求,在 DDK 开发平台上修改通用设备驱动程序代码,生成本设计的 USB 设备驱动程序代码 `usb_sample.sys`。

2.4.3 上位机程序设计 上位机程序的作用是提供一个友好的人机交互界面,以监测系统的运行状态。本程序设计采用应用接口函数(CyAPI 函数)在 Microsoft Visual C++ 6.0 平台下开发完成。在 Cypress 公司所提供的 USB 驱动程序基础上,本设计只需在上位机程序中添加 `CyAPI.h` 头文件和 `CyAPI.lib` 库文件便可对相应的控制函数进行调用。在上位机界面中设置采样频率为 500 Hz,点击开始采集按钮,心电监护仪开始采集模拟心电信号并存储心电数据;点击接收数据按钮,上位机界面会显示心电信号的数值和波形,心电信号监测结果见图 10。

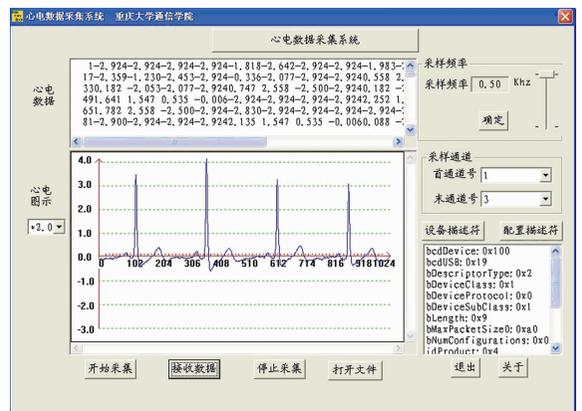


图 10 心电信号监测结果

3 讨论

心电信号的实时显示是心电监护仪的一个重要功能,本设计在完成系统硬件平台搭建后,将 FPGA 固件配置到 FPGA 芯片中,并安装 USB2.0 固件程序和设备驱动(下转第 1617 页)

度越高的老年人可通过电视、报纸等了解实时动态,通过广播媒体获得知识丰富自己的老年生活,因此对自我实现的需求增高。与非在婚(离异、丧偶)的援疆汉族老年人相比,已婚的老年人有更高的自我实现需求,这可能因为有配偶的老年人在生活和精神上得到照拂,满足低级需求后,增加了自我实现的需求。失能时间越短的援疆汉族老年人,对自我实现的需求越高,这可能是与长时间失能导致老年人将生活的重心放在日常生活活动、康复训练等方面,对自我实现的需求相对减少有关。失能程度中,越轻的援疆汉族老年人对自我实现的需求越高,这可能与轻度失能老年人较易满足基本需求,以致自我实现需求增高有关。

总之,本研究结果显示,援疆居家汉族老年人长期照护需求总体较低,需求内容广泛,影响因素呈多元化。建议援疆居家汉族老年人长期照护的开展因以该人群需求为导向,根据需求的影响因素,在长期照护服务工作中完善生理需求、安全需求、情感需求、尊重需求及自我实现需求 5 个层次的服务内容及模式,以期提高援疆汉族老年人的健康水平和生活质量。

参考文献:

- [1] 张恺悌. 失能老人靠谁养老? [J]. 中国社会工作, 2011, 4(11): 26-27.
- [2] 杨磊, 秦江梅. 新疆卫生服务调查[M]. 乌鲁木齐: 新疆科技卫生出版社, 2002.
- [3] 李福生. 新疆兵团屯垦戍边史[M]. 乌鲁木齐: 新疆科技卫生出版社, 1997.
- [4] 刘丹. 新疆移民问题研究——新中国成立后新疆人口迁移、定居及类型研究[J]. 西北人口, 2010, 31(6): 115-119.
- [5] Lawton MP, Brody EM. Assessment of older People: self-maintaining and instrumental activities of daily living[J].

Gerontologist, 1969, 9(3): 179-186.

- [6] 杜鹏, 武超. 中国老年人的生活自理能力状况与变化[J]. 人口研究, 2006, 30(1): 50-56.
- [7] Scholzel-Dorenbos CJ, Meeuwssen EJ, Olde Rikkert MG. Integrating unmet needs into dementia health-related quality of life research and care: introduction of the hierarchy model of needs in dementia[J]. Aging Ment Health, 2010, 14(1): 113-119.
- [8] Lua PL, Bakar ZA. Health-related quality of Life profiles among family caregivers of patients with schizophrenia [J]. Fam Community Health, 2011, 34(4): 331-339.
- [9] 伍小兰, 李晶, 王莉莉. 中国老年人口抑郁症状分析[J]. 人口学刊, 2010(5): 43-47.
- [10] Sinunu M, Yount KM, El Afify NA. Informal and formal long-term care for frail older adults in Cairo, Egypt: family caregiving decisions in a context of social change[J]. J Cross Cult Gerontol, 2009, 24(1): 63-76.
- [11] Lyn MJ, Johnson FS. Just for us: in-home care for frail elderly and disabled individuals with low incomes[J]. N C Med J, 2011, 72(3): 205-206.
- [12] Casado BL, van Vulpen KS, Davis SL. Unmet needs for home and community-based services among frail older Americans and their caregivers[J]. J Aging Health, 2011, 23(3): 529-553.
- [13] 张琳, 宁艳花, 姚丽, 等. 银川市老年人生活质量状况及影响因素分析[J]. 中国公共卫生, 2011, 27(2): 162-164.

(收稿日期: 2012-10-08 修回日期: 2013-01-22)

(上接第 1613 页)

程序,运行上位机程序。从监测结果可以看出,上位机界面能够准确显示采集到的心电数据,并在心电图示区实时地显示了出来,信号的幅度在 0~5 V,基本反映了心脏兴奋活动的电生理变化曲线,为临床诊断提供了直观、准确的信息,具有一定的实用价值。

参考文献:

- [1] 易测位, 昌玮. 动态心电仪国内外的动向和各 Hofet 种特点及优缺点[J]. 智能化医学仪器, 1999, 3(12): 52-55.
- [2] 孙永军. 微弱信号检测[M]. 西安: 西安电子科技大学出版社, 2003.
- [3] 孙京霞, 白延强, 杨玉星. 一种抑制心电信号 50 Hz 工频干扰的改进 Levkov 方法[J]. 航天医学与医学工程, 2000, 13(3): 196-199.
- [4] 程显, 刘建伟. Protel DXP 电路设计白金教学[M]. 北京: 科学出版社, 2004.
- [5] 程佩青. 数字信号处理教程[M]. 北京: 清华大学出版社,

2001.

- [6] 褚振勇. FPGA 设计及应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [7] 李念强, 魏长智, 潘建军, 等. 数据采集技术与系统设计[M]. 北京: 机械工业出版社, 2009.
- [8] 廖济林. USB2.0 应用系统开发实例精讲[M]. 北京: 电子工业出版社, 2006.
- [9] 甘历. VHDL 应用与开发实践[M]. 北京: 科学出版社, 2003.
- [10] 张思杰, 赵泰, 汪振兴, 等. 基于 FPGA 的 USB 接口数据采集系统设计[J]. 电子技术应用, 2011, 37(5): 98-100.
- [11] 张弘. USB 接口设计[M]. 西安: 西安电子科技大学出版社, 2002.
- [12] 周立功. PDIUSB12 USB 固件编程与驱动开发[M]. 北京: 北京航空航天大学出版社, 2003.
- [13] 王洪, 顾本斗. USB 设备开发实例[J]. 电子产品世界, 2001, 10(19): 62-64.

(收稿日期: 2012-12-02 修回日期: 2013-02-25)